

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-160393

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G02F 1/133
G09G 3/36

(21)Application number : 06-302461

(71)Applicant : SHARP CORP

(22)Date of filing : 06.12.1994

(72)Inventor : TOMIYOSHI EI
NABESAWA HIROYUKI

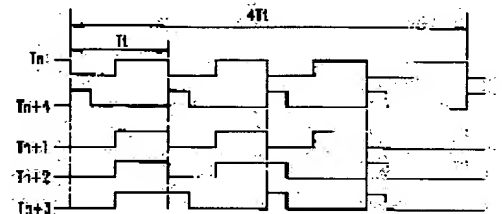
(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To reduce power consumption without increasing the number of parts nor lowering display definition.

CONSTITUTION: In a fundamental gradation signal in a multigradation driving method using interpolation gradation system, by giving such relation between two fundamental gradation signals T_n and T_{n+4} combined by a column electrode driving circuit that timing of rise of one side of the fundamental gradation signal T_{n+4} is same as timing of fall of the other side of the fundamental gradation signal T_n and making interpolation gradation signals T_{n+1} , T_{n+2} , T_{n+3} by combining them basing on rise of the fundamental gradation signal T_{n+4} as a reference, the number of times of combination of 'H' levels and 'L' levels of the interpolation gradation signal in an interpolation gradation period $4T_t$, that is, the number of pulses can be decreased more than the number of times of the fundamental gradation signal.

Consequently, power consumption of the liquid crystal display device can be reduced.



LEGAL STATUS

[Date of request for examination] 10.07.1998

[Date of sending the examiner's decision of rejection] 10.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-00705

[Date of requesting appeal against examiner's decision of rejection] 09.01.2003

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(9) 日本公開特許公報 (J.P.)

(10) 公開特許公報 (A)

(11) 特許公報公開番号

特開平8-160393

発明公開日 平成8年(1996)6月21日

(51) Int. Cl.⁷ 横断 1.1 片内駆動回路 7 F 情報表示装置
G 0 2 F 1.133 5 5 0
G 0 9 G 3.236

発明者 大村 隆 特許代理人 山本 秀二

(21) 出願番号 特願平8-902401
(22) 出願日 平成8年(1994)12月6日

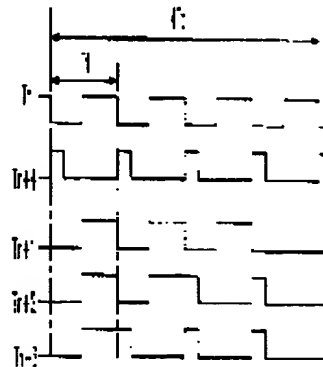
(71) 出願人 SHARP CORP.
シャープ株式会社
大阪府大阪市阿倍野区長瀬1-22番22号
(72) 発明者 大村 隆
大阪府大阪市阿倍野区長瀬1-22番22号 シャープ株式会社内
(73) 特許権者 山本 秀二
大阪府大阪市阿倍野区長瀬1-22番22号 シャープ株式会社内
(74) 代理人 山本 秀二

(4) 【発明の名称】 液晶表示装置の駆動方法

【要約】

【目的】 部品点数の増加や表示品位の低下を発生することなく、消費電力を低減する。

【構成】 補間階調方式を用いた多階調駆動方法における基本階調信号に関して、列電極駆動回路にて組み合わせられる2つの基本階調信号 T_n 、 T_{n+4} の間で、一方の基本階調信号 T_{n+4} の立ち上がりに対してもう一方の基本階調信号 T_n の立ち下りのタイミングが同じであるような関係を持たせて、これらを基本階調信号 T_{n+4} の立ち上がりを基準として組み合わせて補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} を作成することにより、補間階調周期 $4T_t$ における補間階調信号の“H”レベルと“L”レベルの組み合わせ回数、即ちパルス数を基本階調信号の回数よりも減少させることができ、この結果、液晶表示装置の消費電流を減少させることができる。



【特許請求の範囲】

【請求項1】 少なくとも2つの基本デジタル階調信号を組み合わせて補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置において、組み合わされる該基本デジタル階調信号のうちの一方の基本デジタル階調信号の立ち上がりのタイミングに対して他方の基本デジタル階調信号の立ち下がりのタイミングが同じであるように組み合わせる該補間デジタル階調信号を生成する補間階調信号発生部を有する液晶表示装置。

【請求項2】 前記補間階調信号発生部は、前記基本デジタル階調信号の高・低2つの出力電圧レベルにおけるデューティ比が同等になるように前記基本デジタル階調信号を最大限に組み合わせ、できるだけ同じ該基本デジタル階調信号の波形が連続しないようにする請求項1記載の液晶表示装置。

【請求項3】 前記補間階調信号発生部は、前記補間デジタル階調信号の高・低2つの出力電圧レベルにおけるデューティ比が同等になるように前記基本デジタル階調信号を最大限に組み合わせ、できるだけ同じ該基本デジタル階調信号の波形が連続しないようにする請求項1記載の液晶表示装置。

【請求項4】 少なくとも2つの基本デジタル階調信号を組み合わせて補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置において、組み合わされる該基本デジタル階調信号のうちの一方の基本デジタル階調信号の立ち上がりのタイミングと、他方の基本デジタル階調信号の立ち下がりのタイミングとの間において、少なくとも微小時間互いに高出力電圧レベルで重なるように該基本デジタル階調信号のうち少なくとも一方を変更して組み合わせる該補間デジタル階調信号を生成する補間階調信号発生部を有する液晶表示装置。

【請求項5】 少なくとも2つの基本デジタル階調信号を組み合わせて補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置において、組み合わされるべき該基本デジタル階調信号が互いに高出力電圧レベルで重なるように、該基本デジタル階調信号の変化タイミングを、該基本デジタル階調信号を組み合わせるその立ち上がり立ち下りのタイミングよりも該基本デジタル階調信号の少なくとも一方を微小時間遅らせるかまたは進ませて微小時間差を設ける基本階調信号発生部を有する液晶表示装置。

【請求項6】 少なくとも2つの基本デジタル階調信号を組み合わせて補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置の駆動方法において、組み合わされる該基本デジタル階調信号のうちの一方

の基本デジタル階調信号の立ち上がりのタイミングに対して他方の基本デジタル階調信号の立ち下がりのタイミングが同じであるかまたは該各タイミング間で該基本デジタル階調信号が互いに高出力電圧レベルで重なるように組み合わせる該補間デジタル階調信号を生成する液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、容量性負荷である絵素がマトリクス状に配置された液晶表示装置およびその駆動方法に関し、特に、多階調駆動方法を用いたアクティブマトリクス型の液晶表示装置およびその駆動方法に関する。

【0002】

【従来の技術】従来、液晶表示装置として、TFT (Thin Film Transistor) 素子やMIM (Metal Insulator Metal) 素子などを用いた、いわゆるアクティブマトリクス方式の表示装置が知られている。この液晶表示装置の多階調駆動方法の一つとして、特願平5-325152号公報および特願平5-349930号公報に示されているような多階調駆動方法がある。

【0003】以下に、上記従来の多階調駆動方法について説明する。

【0004】図13は従来の多階調駆動方法を用いたTFT液晶表示装置（以下、表示装置という）の構成を示すブロック図であり、ここでは、簡単なために3行3列のマトリクスとしている。

【0005】図13において、表示装置1は、表示部2と、この表示部2を表示駆動する駆動回路3とを含んで構成されている。この表示部2において、互に対向配設された2つの基板4、5の間には、電気光学物質である表示媒体としての液晶が封入されており、一对の基板4、5の一方の基板4上には、複数の絵素電極6がマトリクス状に配列されているとともに、これら複数の絵素電極6にそれぞれ接続され、複数の絵素電極6をそれぞれ駆動するためのスイッチング素子として、TFT7が各絵素電極6毎に配設されている。信号出力部8は絵素電極6に接続されている各TFT7の信号入力部には、相互に平行な複数の信号配線（データ配線）8がそれぞれ接続され、また、各TFT7の制御端子である制御信号入力部には、相互に平行で信号配線8と交差する方向に延びる複数の走査配線（ゲート配線）9が配設されている。

【0006】他方の基板5の液晶側表面には、図示しない共通電極が、例えば基板5の全面にわたって形成されているか、または、絵素電極6の行方向に連なるグループ毎に形成されている。この図示しない共通電極と絵素電極6との間で、液晶を誘電体として、表示に寄与する液晶容量C₀が構成される。

【0007】このコントロール回路10はソース駆動回

路11に接続されており、図示しない外部信号源によりドットクロックCK、水平同期信号HS、垂直同期信号VSおよびデータ信号DDがコントロール回路10に入力されて、コントロール回路10からソース駆動回路11に各種制御信号が出力されるとともに、後述する階調信号および画像データが供給される。また、電源回路12はソース駆動回路11に接続されており、コントロール回路10に対して電源電圧 V_{sh} 、 V_{sl} を出力する。このソース駆動回路11は各信号番線8を介して各TFT7の信号入力部に接続され、各信号番線8に表示駆動を行う駆動電圧 $S1$ 、 $S2$ 、 $S3$ をそれぞれ各信号番線8に供給する。さらに、コントロール回路10が接続されるゲート駆動回路13は、マトリックスの各行毎にTFT7をオン/オフする走査信号 $G1$ 、 $G2$ 、 $G3$ をそれぞれ各走査番線9に出力する。これらコントロール回路10、信号番線8に接続されるソース駆動回路11、電源回路12、および走査番線9に接続されるゲート駆動回路13により、駆動回路3が構成される。

【0008】ここで、この多階調駆動方法とは、TFT7のオン抵抗 R_{on} と液晶容量 C によって、TFT7と給電線の液晶とを含む部分が低周波通過フィルタ特性を持つことを利用しており、駆動用の電源電圧は高レベルの V_{sh} と低レベルの V_{sl} の2つの電位しか持たない。即ち、上記駆動電圧 $S1$ 、 $S2$ 、 $S3$ の出力を図14に示すような基本周期 T_t 、振幅 V_{sh} 、 V_{sl} 、デューティ(duty)比が $m:n$ (=電位 V_{sh} の出力時間: V_{sl} の出力時間)の信号とすることにより、液晶容量 C は $(mV_{sh} + nV_{sl})/T_t$ に相当する平均電圧を充電することができるのである。

【0009】この方法においては、駆動電圧出力のデューティ(duty)比の $m:n$ を任意に決めてやることで、液晶容量 C は電位 V_{sh} と電位 V_{sl} との間の任意の電圧を充電することができ、この結果、多階調表示が可能となる。

【0010】図15にその一例として16階調に対応した階調信号 $T0 \sim T15$ (総称する場合は、単に符号 T とする)の波形図を示している。

【0011】図15において、階調信号 T とはコントロール回路10からソース駆動回路11に入力されるデューティ(duty)比が $m:n$ の信号のことで、ソース駆動回路11においてこの階調信号 T と電源回路12から供給される電源電圧 V_{sh} 、 V_{sl} から駆動電圧 $S1$ 、 $S2$ 、 $S3$ を作成して、各信号番線8に出力する。

【0012】図16に補間階調の考えを導入した場合の16階調に対応した階調信号 T の波形図を示している。

【0013】図16においては、基本階調信号 T_i として $T0$ 、 $T4$ 、 $T8$ 、 $T12$ 、 $T16$ を、基本周期 T_t の4倍の範囲で組み合わせる場合を示している。ここで、補間階調とは、基本階調信号 T_i を基本周期 T_t の整数倍の範囲で組み合わせることにより、その他の階調信号(補

間階調信号) T_s をソース駆動回路11の内部にて作成するという考え方である。例えば、図16の補間階調信号 T の場合、基本周期 T_t の4倍の範囲で基本階調信号 $T0$ と $T4$ を2:2の時間的な比率で組み合わせることにより、基本階調信号 $T0$ と基本階調信号 $T4$ の間の補間階調信号 $T2$ という階調を実現している。この方式では、コントロール回路10からソース駆動回路11に出力される階調信号 T の信号線数が16本(=階調数)から5本(=基本階調数)と削減することができる。

【0014】

【発明が解決しようとする課題】上記従来の多階調駆動方法を用いた場合には、液晶を駆動させるために必要な電力は階調信号 T の周波数 f_t が早くなればなるほど大きくなる。図15のように階調信号 T が階調数と同じ数の場合には、階調信号 T がすべて同じ周波数であればもちろんどの階調も同じ周波数であるが、図16のように補間階調の考えを導入した場合には、基本階調信号 $T0$ 、 $T4$ 、 $T8$ 、 $T12$ 、 $T16$ とその他の階調信号 T_s を比較すると、周波数してみると補間階調信号 T_s は基本階調信号 T_i の4分の1の周波数成分も含むこととなり、消費電力は小さくなるはずである。しかしながら、図16に示すように基本階調信号 T_i を組み合わせると、補間階調信号 T_s の変化する回数は基本階調信号 T_i と同じである信号が殆どであることから、補間階調信号 T_s の一部に周波数が低くなっている信号があるにも関わらずそれほど消費電力は小さくなっていないかった。

【0015】本発明は、上記従来の問題を解決するもので、補間階調の考えを導入した場合の多階調駆動方法において、表示品位を低下させずに消費電力を低減させることができる液晶表示装置およびその駆動方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の液晶表示装置は、少なくとも2つの基本デジタル階調信号を組み合わせる補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置において、組み合わせられる該基本デジタル階調信号のうちの一方の基本デジタル階調信号の立ち上がりのタイミングに対して他方の基本デジタル階調信号の立ち下りのタイミングが同じであるように組み合わせる該補間デジタル階調信号を生成する補間階調信号発生部を有するものであり、そのことにより上記目的が達成される。

【0017】また、好ましくは、本発明の液晶表示装置において、補間階調信号発生部は、基本デジタル階調信号の変化タイミングを合わせるタイミングが、例えば列電極駆動回路において該基本デジタル階調信号を組み合わせるタイミングと同じである。

【0018】さらに、好ましくは、本発明の液晶表示装

置において、補間階調信号発生部は、例えば列電極駆動回路にて、補間デジタル階調信号の高・低2つの出力電圧レベルにおけるデューティ比が同等になるように基本デジタル階調信号を最大限に組み合わせ、できるだけ同じ基本デジタル階調信号の波形が連続しないように該基本デジタル階調信号を組み合わせる。

【0019】さらに、本発明の液晶表示装置は、少なくとも2つの基本デジタル階調信号を組み合わせ、補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置において、組み合わせられる該基本デジタル階調信号のうちの一方の基本デジタル階調信号の立ち上がりのタイミングと、他方の基本デジタル階調信号の立ち下りのタイミングとの間において、少なくとも微小時間互いに高出力電圧レベルで重なるように該基本デジタル階調信号のうち少なくとも一方を変更して組み合わせ、該補間デジタル階調信号を生成するものであり、そのことにより上記目的が達成される。

【0020】また、本発明の液晶表示装置は、少なくとも2つの基本デジタル階調信号を組み合わせ、補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置において、組み合わせられるべき該基本デジタル階調信号が互いに高出力電圧レベルで重なるように、該基本デジタル階調信号の変化タイミングを、該基本デジタル階調信号を組み合わせるその立ち上がりと立ち下りのタイミングよりも該基本デジタル階調信号の少なくとも一方を微小時間遅らせるかまたは進ませて微小時間差を設ける基本階調信号発生部を有するものであり、そのことにより上記目的が達成される。

【0021】さらに、本発明の液晶表示装置の駆動方法は、少なくとも2つの基本デジタル階調信号を組み合わせ、補間デジタル階調信号を生成し、該基本デジタル階調信号および補間デジタル階調信号を用いて多階調表示する液晶表示装置の駆動方法において、組み合わせられる該基本デジタル階調信号のうちの一方の基本デジタル階調信号の立ち上がりのタイミングに対して他方の基本デジタル階調信号の立ち下りのタイミングが同じであるかまたは該各タイミング間で該基本デジタル階調信号が互いに高出力電圧レベルで重なるように組み合わせ、該補間デジタル階調信号を生成するものであり、そのことにより上記目的が達成される。

【0022】

【作用】液晶を駆動させるために必要な電力は階調信号の周波数が早くなればなるほど大きくなるが、本発明の補間階調信号は、一方の基本階調信号の立ち上がりのタイミングに対して他方の基本階調信号の立ち下りのタイミングが同じであるように組み合わせられているので、表示品位を低下させることなく、基本階調信号を組み合わせ、補間階調信号のパルス数、即ち変化数が基本

階調信号よりも減少可能となり、この結果、消費電力は低減することになる。

【0023】また、基本デジタル階調信号の変化タイミングを合わせるタイミングが、基本デジタル階調信号を組み合わせるタイミングと同じであるようにすれば、新たに部品点数を増加させることなく消費電力の低減が可能となる。

【0024】さらに、基本デジタル階調信号を組み合わせる際には、補間デジタル階調信号の高・低2つの出力電圧レベルにおけるデューティ比が同等になるように基本デジタル階調信号を最大限に組み合わせ、できるだけ同じ基本デジタル階調信号が連続しないようにすれば、補間階調信号のパルス数がさらに減少可能となり、この結果、更なる消費電力の低減が可能となる。

【0025】さらに、組み合わせに使用される2つの基本デジタル階調信号が、組み合わせのタイミングで少なくとも微小時間互いに高出力電圧レベルで重なっている基本階調信号に変更し、この変更した基本階調信号を用いて補間階調信号を生成するので、部品点数の増加を防ぎつつ消費電力を低減させることができる。

【0026】また、基本階調信号の変化タイミングを、例えば列電極駆動回路における組み合わせを考慮に入れて、この列電極駆動回路において基本階調信号を組み合わせるタイミングより、基本階調信号発生部にて、ある程度の時間差をもたせることにより、部品点数の増加を防ぎつつ消費電力が低減される。

【0027】

【実施例】以下、本発明の実施例について説明する。

【0028】（実施例1）図1は本発明の実施例1を示す液晶表示装置の階調信号波形図である。

【0029】図1において、少なくとも2つの基本デジタル階調信号（以下、単に基本階調信号という）、例えば基本階調信号 T_n 、 T_{n+4} を組み合わせ、新たな補間デジタル階調信号（以下、単に補間階調信号という） T_{n+1} 、 T_{n+2} 、 T_{n+3} をソース（列電極）駆動回路の補間階調信号発生部にて作成する。これら基本階調信号 T_n 、 T_{n+4} および補間デジタル階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} を用いて多階調表示する液晶表示装置が構成される。

【0030】これらの補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} は、それぞれ基本階調信号 T_n 、 T_{n+4} を3:1、2:2、1:3の割合で基本階調信号の1周期 T_t の4倍の周期で組み合わせられている。また、これらの補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} の波形は、基本階調信号 T_{n+4} の立ち上がる変化タイミングと同時に、基本階調信号 T_n が立ち下がるような波形としている。このようなタイミングで補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} を作成するための基本階調信号 T_n 、 T_{n+4} の組み合わせが行われる。このような基本階調信号 T_n 、 T_{n+4} を元に補間階調信号 T_{n+1} 、

Tn+2、Tn+3を作成すると、各補間階調信号Tn+1、Tn+2、Tn+3のパルス数、即ち、“H”レベルと“L”レベルの組み合わせ回数が組み合わせの周期4Ttのうち3回となり、基本階調信号Tn、Tn+4のパルス数4回に対して3/4となっている。

【0031】したがって、液晶表示装置にて補間階調の考え方を導入した場合の多階調駆動方法において、基本階調信号を組み合わせた補間階調信号のパルス数、即ち変化数を減少することができる。この結果、消費電力を低減させることができる。

【0032】なお、本実施例1の波形図は図1の波形図に限るものではなく、基本階調信号Tn、Tn+4のデューティ比が図1のものとは異なってもよく、組み合わせの周期が基本階調信号の必ずしも4倍である必要はなく、2倍、3倍または4倍以上であってもよい。

【0033】ここで、本実施例1の階調信号波形を発生させるための液晶表示装置の列電極駆動回路における補間階調信号発生部の構成について、以下に説明する。

【0034】図2は図1の補間階調信号波形を発生させるための補間階調信号発生部の構成を示す回路図である。

【0035】図2において、基本階調信号Tnを発生する基本階調信号発生部21はANDゲート22、23、24に接続され、また、基本階調信号Tn+4を発生する基本階調信号発生部25は、Dフリップフロップ26のクロック端子およびANDゲート27、28、29に接続されている。このDフリップフロップ26の反転出力端子はDフリップフロップ30のクロック端子に接続されており、これらDフリップフロップ26、30の反転出力端子はそれぞれ自らのデータ入力端子にそれぞれ接続され、それらの出力端子はそれぞれANDゲート31およびORゲート32の入力端子にそれぞれ接続されている。このANDゲート31の出力端はANDゲート22の入力端子に接続されると共に、インバータ33を介してANDゲート27の入力端子に接続されている。また、ORゲート32の出力端はANDゲート24の入力端子に接続されると共に、インバータ34を介してANDゲート29の入力端子に接続されている。さらに、Dフリップフロップ30の出力端子はANDゲート23の入力端子に接続されると共に、インバータ35を介してANDゲート28の入力端子に接続されている。

【0036】さらに、ANDゲート22、27の出力端はそれぞれORゲート36の入力端子にそれぞれ接続され、ORゲート36の出力端から補間階調信号Tn+1が出力される。また、ANDゲート23、28の出力端はそれぞれORゲート37の入力端子にそれぞれ接続され、ORゲート37の出力端から補間階調信号Tn+2が出力される。さらに、ANDゲート24、29の出力端はそれぞれORゲート38の入力端子にそれぞれ接続され、ORゲート38の出力端から補間階調信号Tn+3が出力される。

以上のANDゲート22~24、ANDゲート27~29、31、ORゲート36~38、32、インバータ33~35およびDフリップフロップ26、30により補間階調信号発生部39が構成される。

【0037】この補間階調信号発生部39が接続されているソース（列電極）駆動回路は、基本階調信号発生部からの基本階調信号および、高・低2つの出力レベルを決定する電源部からの入力を受けて、基本階調信号の組み合わせによって決定される周期にて、高・低2つの出力電圧レベルが切り替わり、入力された基本階調信号の数よりも多い階調数の階調信号、即ち、基本階調信号および補間階調信号に対応する列電極駆動信号を出力する。このソース（列電極）駆動回路と、行電極を行順次選択駆動するゲート（行電極）駆動回路のタイミングをタイミングコントロール回路が制御する。

【0038】上記構成により、基準となる基本階調信号Tn+4が入力されるDフリップフロップ26、次段のDフリップフロップ30、ANDゲート31、ORゲート32およびインバータ33、35、34を用いて、基本階調信号Tn+4から各補間階調信号Tn+1、Tn+2、Tn+3を作成することができる。これら補間階調信号Tn+1、Tn+2、Tn+3は、基本階調信号Tn+4の立ち上がりのタイミングに対して他方の基本階調信号Tnの立ち下りのタイミングと同じであるように組み合わせられている。このため、基本階調信号Tn、Tn+4を組み合わせた補間階調信号Tn+1、Tn+2、Tn+3のパルス数、即ち変化数が減少可能となり、この結果、消費電力は低減することになる。

【0039】また、ソース（列電極）駆動回路に図1の補間階調信号発生部39のような回路を組み込むだけで補間階調信号Tn+1、Tn+2、Tn+3を作成することができ、基本階調信号Tn、Tn+4の変化タイミングを合わせるタイミングが、基本階調信号Tn、Tn+4を組み合わせるタイミングと同じであるように構成すれば、新たに部品点数を増加させることなく消費電力の低減をすることができる。

【0040】なお、本実施例1の波形図を得るための回路図は図2の回路に限るものではなく、要は図1のようなパルス数の少ない波形が得られればよいのである。

【0041】次に、図3に図1の実施例1を考慮に入れた16階調表示に対応する階調信号例を示す。

【0042】図3において、基本階調信号をT0、T4、T8、T12、T16とし、その他の階調信号T1~3、T5~7、T9~11、T13、T15を補間階調信号とする。例えば、補間階調信号T5は基本階調信号T4、T8を3:1

の割合で組み合わせている。

【0043】また、基本階調信号 T_4 の立ち上がり補間階調信号を組み合わせるタイミングとして、基本階調信号 T_4 、基本階調信号 T_8 、基本階調信号 T_2 と基本階調信号 T_2 、基本階調信号 T_2 と基本階調信号 T_8 の間で一方の階調信号の立ち上がりともう一方の階調信号の立ち下がりを含ませるといふ本発明を満足している。このため、得られる補間階調信号のパルス数は組み合わせ周期 $4T_t$ のうち3回以下となり、基本階調信号 T_4 、 T_8 、 T_2 、 T_2 のパルス数4回よりも少なくなっている。この結果、消費電力を低減させることができる。

【0044】(実施例2) 図4は本発明の実施例2を示す液晶表示装置の階調信号波形図である。

【0045】図4において、基本階調信号 T_n 、 T_{n+4} に対して、補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} をソース(列電極)駆動回路の補間階調信号発生部にて作成している。ここで、補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} はそれぞれ基本階調信号 T_n 、 T_{n+4} を3:1、2:2、1:3の割合で基本階調信号 T_n 、 T_{n+4} の1周期 T_t の4倍の周期で組み合わせている。この補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} の波形は、図1の実施例1と同様に基本階調信号 T_{n+4} の立ち上がる変化タイミングと同時に基本階調信号 T_n が立ち下がるような波形としている。このタイミングで補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} を作成するための基本階調信号 T_n 、 T_{n+4} の組み合わせが行われる。そこで、補間階調信号 T_{n+2} を、図4のように、基本階調信号 T_n と基本階調信号 T_{n+4} が一緒になったパルスを繰り返すようにする。このようにすることによって、補間階調信号 T_{n+2} のパルス数が組み合わせ周期 $4T_t$ のうち2回となり、基本階調信号 T_n 、 T_{n+4} のパルス数4回の半分となり、実施例1の補間階調信号 T_{n+2} のパルス数3回よりも少なくなる。

【0046】したがって、液晶表示装置にて補間階調の考え方を導入した場合の多階調駆動方法において、基本階調信号を組み合わせた補間階調信号のパルス数を減少することができる。この結果、消費電力を低減させることができる。ただし、本実施例2においては、補間階調信号の周波数が基本階調信号の半分となることから、表示に不具合が発生する可能性があり注意が必要である。

【0047】なお、本実施例2の波形図は図4の波形図に限るものではなく、基本階調信号 T_n 、 T_{n+4} のデューティ比が図4のものと同様であってもよく、組み合わせの周期が基本階調信号の必ずしも4倍である必要はなく、2倍、3倍または4倍以上であってもよい。

【0048】ここで、本実施例2の階調信号波形を発生させるための液晶表示装置のソース(列電極)駆動回路における補間階調信号発生部の構成について、以下に説明する。

【0049】図5は図4の階調信号波形を発生させるた

めの補間階調信号発生部の構成を示す回路図である。図5の構成においては、図2と殆ど同じため構成部品に対して図2と同じ番号を付与するが、インバータ35とANDゲート23の入力部にDフリップフロップ26の出力端子を接続している点が異なっている。これにより、補間階調信号発生部40が構成されている。

【0050】上記構成により、図4のような基本階調信号 T_n 、 T_{n+4} を入力することで、図2の場合と同じようにして、各補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} が得られる。この場合、基本階調信号 T_n 、 T_{n+4} を組み合わせる際に、補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} の高・低2つの出力電圧レベルにおけるデューティ比が同等になるように基本階調信号 T_n 、 T_{n+4} を最大限に組み合わせ、かつ、できるだけ同じ基本階調信号 T_n 、 T_{n+4} が連続しないようにしているのので、補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} のパルス数をさらに減少させることができる結果、更なる消費電力の低減を図ることができる。

【0051】また、ソース(列電極)駆動回路に図5の補間階調信号発生部40のような回路を組み込むだけで、補間階調信号 T_{n+1} 、 T_{n+2} 、 T_{n+3} を作成することができ、実施例1と同様に他に新たな部品点数の増加を無くすることができる。

【0052】なお、本実施例2の波形図を得るための回路図は図5の回路に限るものではなく、要は図4のような波形が得られればよいのである。

【0053】次に、図6に図4の実施例2を考慮に入れた16階調表示に対応する階調信号例を示している。

【0054】図6に示すように、その波形図は、基本階調信号を T_0 、 T_4 、 T_8 、 T_2 、 T_2 とし、その他の補間階調信号 T_{-3} 、 T_{-2} 、 T_{-1} 、 T_1 、 T_2 、 T_3 を補間階調信号としており、殆ど図3の波形図と同じであるが、補間階調信号 T_2 、 T_6 、 T_{10} 、 T_{14} を作成する際の基本階調信号 T_0 、 T_4 、 T_8 、 T_2 、 T_2 の組み合わせ方が異なっている。即ち、例えば補間階調信号 T_8 の場合、図6のように基本階調信号 T_8 と基本階調信号 T_4 を最大限一緒にしたパルスを繰り返すようにする。このため、得られる補間階調信号 T_{-3} 、 T_{-2} 、 T_{-1} 、 T_1 、 T_2 、 T_3 のパルス数は組み合わせ周期 $4T_t$ のうち最少2回(T_2 を除く)となり、基本階調信号 T_4 、 T_8 、 T_2 、 T_2 のパルス数4回、および、実施例1の場合のパルス数3回よりもさらに少なくなっている。この結果、消費電力を低減させることができる。

【0055】ところで、上記のように基本階調信号を組み合わせる際には、組み合わせに使用される基本階調信号の変化タイミングと組み合わせのタイミングが同時であることが条件とされる。そこで、その一例として、図7に基本階調信号の組み合わせのタイミングが基本階調信号の変化タイミングと異なった場合を示す。

【0056】図7において、基本階調信号を T_a 、 T_b

とし、補間階調信号T_cを作成するための組み合わせタイミングが期間d₁だけ遅れているものとする。この場合、補間階調信号T_cの波形は、期間d₁の幅を持つパルスが発生するために、補間階調信号T_cのパルス数は組み合わせ周期4T_tのうち6回となってしまい、基本階調信号T_a、T_bの4回よりも多くなってしまい、このような現象は、基本階調信号T_a、T_bどうしの変化タイミングがずれてしまうか、または基本階調信号T_a、T_bの変化タイミングと組み合わせのタイミング全てがずれてしまうかなどで起こる可能性があり、実際には、各種タイミングを全く同時にすることは困難である。

【0057】(実施例3) 上記のようなタイミングずれ現象に対応するための本発明の実施例3の波形図を図8に示している。

【0058】図8において、基本階調信号をT_a、T_bとし、補間階調信号T_cを作成するための組み合わせとして選択されていない期間の基本階調信号を一部変形している。即ち、基本階調信号T_aに関してはその非選択期間の立ち下がりタイミングを期間d₂だけ遅らせ、その後を“L”レベルとしたような波形T_{a'}を作成し、また、基本階調信号T_bに関してはその非選択期間を“L”レベルとしただけの波形T_{b'}を作成する。実際の補間階調信号T_cは波形T_{a'}、T_{b'}を基本階調信号T_bの立ち上がりタイミングにて組み合わせることにより作成できる。

【0059】したがって、基本階調信号T_aの立ち下がりタイミングを期間d₂だけ遅らせているので、補間階調信号T_cのパルス数は2回となり、図7のように階調信号の組み合わせに際してタイミングずれ現象によるパルス数を増加させることなく、この結果、消費電力を減少することができる。

【0060】なお、上記波形T_{a'}としては、その非選択期間を“H”レベルとしても良く、また、上記波形T_{b'}としては、その非選択期間の立ち上がりタイミングを遅らせたような波形でも良く、組み合わせるタイミングは基本階調信号T_bの立ち上がりタイミングと異なっても何等問題はなく、結果的に必要以上のパルス数のない補間階調信号が得られればよい。

【0061】ここで、上記タイミングずれ現象に対応した本実施例3の階調信号波形を発生させるための液晶表示装置の列電極駆動回路における階調信号発生部の構成について、以下に説明する。

【0062】図9は図8の準基本階調信号波形T_{a'}、T_{b'}を発生させるための準基本階調信号発生部の構成を示す回路図である。

【0063】図9において、基本階調信号T_aを発生する基本信号発生部41はANDゲート42の一方入力端子に接続されており、また、基本階調信号T_bを発生する基本信号発生部43はANDゲート44の一方入力端

子とDフリップフロップ45のクロック端子に接続されている。このDフリップフロップ45の出力端子はANDゲート42の他方入力端子に接続され、その反転出力端子はANDゲート44の他方入力端子に接続されている。このANDゲート42の出力端子はORゲート47の一方入力端子に接続されると共に、ディレイ回路46を介してORゲート47の他方入力端子に接続されている。また、ANDゲート44の出力端子はORゲート48の一方入力端子に接続され、また、ORゲート47の出力端子はORゲート48の他方入力端子に接続されている。このORゲート48の出力端子から補間階調信号T_cが得られる。

【0064】上記構成により、Dフリップフロップ45とANDゲート42、44により基本階調信号T_a、T_bの組み合わせの選択期間を検出して、ディレイ回路46およびORゲート47により波形T_{a'}を作成するとともに、ANDゲート44の出力端子から波形T_{b'}を作成する。さらに、ORゲート48にて波形T_{a'}と波形T_{b'}をOR出力して補間階調信号T_cを作成する。

【0065】また、図10に図9のディレイ回路46の回路例を示している。

【0066】図10において、ディレイ回路46はバッファ49～53から構成されており、バッファ5個分、即ち、図8においてはd₂に相当する微小期間だけ入力信号を遅らせる働きを持つものとする。これらの回路例は補間階調の考え方からしてもソース(列電極)駆動回路内に存在させるものであり、このため、他に新たな部品点数の増加はない。

【0067】なお、本実施例3の波形を得るための回路図は図9および図10に限るわけではなく、要は図8のような波形が得られればよいのである。

【0068】(実施例4) 図11は本発明の実施例4を示す液晶表示装置の階調信号波形図である。

【0069】図11において、基本階調信号発生部より出力される基本階調信号として、図7や図8のような基本階調信号T_a、T_bではなく、基本階調信号T_aと波形T_{b'}としている。即ち、組み合わせられる2つの階調信号のうち、どちらか一方はその組み合わせのタイミングから信号変化タイミングを、列電極駆動回路での組み合わせ方を考慮に入れてずらせておくのである。この組み合わせのタイミングを基本階調信号T_aの立ち下がりとし、基本階調信号に用いる波形T_{b'}は上記基本階調信号T_bに対してその立ち上がりタイミングが期間d₃だけ遅いものと期間d₄だけ早いものとが繰り返されるような波形となっている。このため、基本階調信号T_a、T_{b'}により組み合わせられる階調信号T_cは、図11のような波形となり、不必要なパルス数は発生しないことになる。

【0070】したがって、補間階調信号T_cのパルス数は2回となり、図7のように基本階調信号T_a、T_bの

組み合わせに際して、そのパルス数を増加させることはなく、この結果、消費電力を減少させることができる。

【0071】なお、上記波形Tb'ではなく上記波形Ta'として基本階調信号Taに対してその立ち下がりタイミングを早めるか、または遅めて、波形Tbと組み合わせても何等問題はなく、結果的に必要以上のパルス数のない補間階調信号Tcが得られれば良い。ただし、本実施例4によって得られる補間階調信号Tcは、例えば図11に示すように期間d4分だけ"H"レベル期間の短い波形となる。また、実際の表示自体で不具合がなければ問題はないが、問題となる場合の対策として図12の波形図を示す。

【0072】(実施例5)図12は本発明の実施例5を示す液晶表示装置の階調信号波形図である。

【0073】図12において、図11の実施例4と比べて期間d3=期間d4とし、基本階調信号Tb'の立ち下がりのタイミングは上記波形Tbの立ち下がりのタイミングと同じとする。このため、基本階調信号Tb'のパルス幅は同じではなく"H"レベルの長いものと短いものの2種類となるが、組み合わせ周期が基本階調信号の偶数倍であれば本来の基本階調信号Tbのデューティ比としては同じであると考えられるため、問題はない。基本階調信号Taと波形Tb'により組み合わせられる補間階調信号Tcは、図11のように不必要なパルス数の発生しない波形が得られることになる。

【0074】したがって、補間階調信号Tcのパルス数は2回となり、図7のように階調信号の組み合わせに際して、そのパルス数を増加させることはなく、この結果、消費電力を減少させることができる。

【0075】なお、上記波形Tb'ではなく上記波形Ta'として、基本階調信号Taに対してその立ち下がりタイミングを早めるか、または遅めて、基本階調信号Tbと組み合わせても何等問題はなく、結果的に必要以上のパルス数のない補間階調信号Tcが得られればよい。また、本実施例5では、図11や図12に示すような基本階調信号Tb'は単に基本階調信号発生部にて作成するとしたが、列電極駆動回路内において作成しても良い。

【0076】

【発明の効果】以上のように本発明によれば、液晶表示装置にて補間階調の考え方を導入した場合の多階調駆動において、基本階調信号を組み合わせた補間階調信号のパルス数を減少させることができるため、表示品位を低下させることなく、表示電力を低減させることができる。

【0077】また、各基本階調信号の変化タイミングを合わせるタイミングを、例えば列電極駆動回路において基本階調信号を組み合わせるタイミングと同じとすることにより、新たに部品点数を増加させることなく消費電力を低減させることができる。

【0078】さらに、基本階調信号を組み合わせる際には、補間デジタル階調信号の高・低2つの出力電圧レベルにおけるデューティ比が同等になるように基本デジタル階調信号を最大限に組み合わせ、できるだけ同じデジタル階調信号が連続しないようにすることにより、補間階調信号のパルス数を減少させることができる結果、消費電力をさらに低減させることができる。

【0079】さらに、組み合わせに使用されている2つの基本階調信号において、ある期間での組み合わせに選択されない基本階調信号の波形部分を、例えば列電極駆動回路にて、少なくとも微小時間互いに高出力電圧レベルで重なるように変更することにより、部品点数の増加を防ぎつつ消費電力を低減させることができる。

【0080】さらに、基本階調信号の変化タイミングを、例えば列電極駆動回路における組み合わせを考慮に入れて、列電極駆動回路において基本階調信号を組み合わせるタイミングより、基本階調信号発生部にて、微小時間遅らせるかまたは進ませる程度の時間差をもたせることにより、部品点数の増加を防ぎつつ消費電力を低減させることができる。

【図面の簡単な説明】

【図1】本発明の実施例1を示す液晶表示装置の階調信号波形図である。

【図2】図1の階調信号波形を発生させるための補間階調信号発生部の構成を示す回路図である。

【図3】図1の実施例1を考慮に入れた16階調表示に対応する階調信号例を示す波形図である。

【図4】本発明の実施例2を示す液晶表示装置の階調信号波形図である。

【図5】図4の階調信号波形を発生させるための補間階調信号発生部の構成を示す回路図である。

【図6】図4の実施例2を考慮に入れた16階調表示に対応する階調信号例を示す波形図である。

【図7】本発明を実現した場合に想定されるタイミングずれの問題を説明するための波形図である。

【図8】図7のタイミングずれ現象に対応するための本発明の実施例3における液晶表示装置の階調信号波形図である。

【図9】図8の階調信号波形を発生させるための階調信号発生部の構成を示す回路図である。

【図10】図9のディレイ回路部46の一例を示す回路図である。

【図11】本発明の実施例4を示す液晶表示装置の階調信号波形図である。

【図12】本発明の実施例5を示す液晶表示装置の階調信号波形図である。

【図13】従来の多階調駆動方法を用いた表示装置の構成を示すブロック図である。

【図14】従来の列電極駆動信号の波形図である。

【図15】従来の階調信号例として、16階調用の階調

信号の波形図である。

【図16】従来の階調信号例として、列電極駆動回路にて補間階調法を用いた場合の16階調信号の波形図である。

【符号の説明】

11 ソース（列電極）駆動回路
21、25、41、43 基本階調信号発生部
26、30、45 Dフリップフロップ

22~24、27~29、31、42、44 ANDゲート

33~35 インバータ

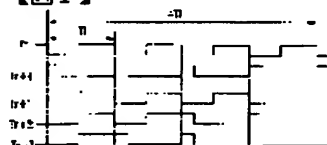
36~38、32、47、48 ORゲート

39、40 補間階調信号発生部

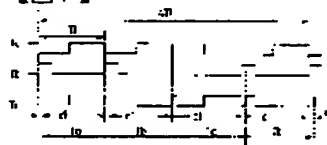
46 デレイ回路部

49~53 バッファ

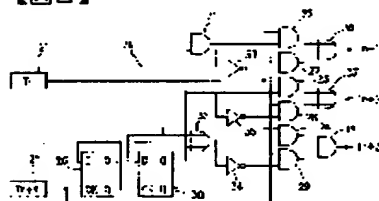
【図1】



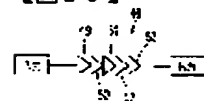
【図7】



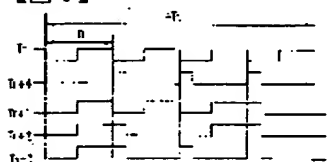
【図2】



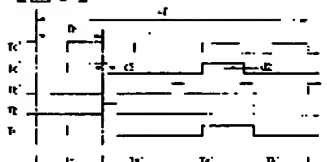
【図10】



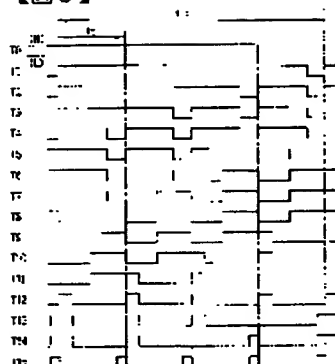
【図4】



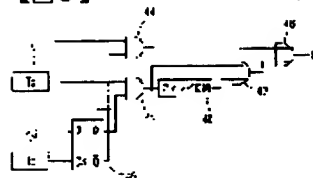
【図8】



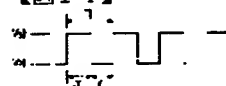
【图3】



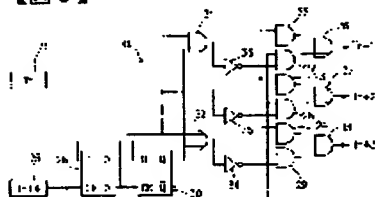
【圖9】



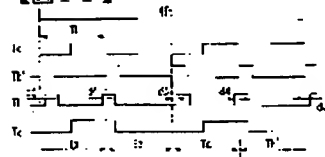
【図14】



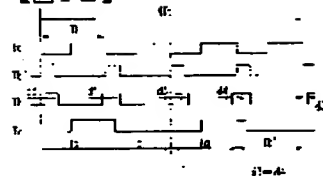
【图5】



【図 11】



【图12】



【圖16】

